

【特許請求の範囲】**【請求項 1】**

正常動作時に第 1 のパルス信号を出力するコントローラと、
第 2 のパルス信号を生成するダミーパルス生成手段と、
前記コントローラの起動完了を検知する起動完了検知手段と、
前記起動完了検知手段の検知結果に基づき、前記第 1 のパルス信号または前記第 2 のパルス信号のどちらか一方を異常監視信号として出力する異常監視信号生成手段と、
前記異常監視信号に基づき前記コントローラの異常を検出してリセット信号を出力する異常検出手段とを備えたことを特徴とする電子内視鏡装置。

【請求項 2】

前記異常監視信号生成手段が、前記コントローラの起動が未完了の場合は前記第 2 のパルス信号を前記異常監視信号として出力し、前記コントローラの起動が完了している場合は前記第 1 のパルス信号を前記異常監視信号として出力することを特徴とする、請求項 1 に記載の電子内視鏡装置。

【請求項 3】

前記異常監視信号生成手段が、前記コントローラの起動状況を監視する起動監視手段を有し、前記起動監視手段の監視結果に基づき、前記コントローラが起動中に異常を発生した場合は前記異常監視信号の出力を停止することを特徴とする、請求項 1 または請求項 2 に記載の電子内視鏡装置。

【請求項 4】

前記異常検出手段が、前記コントローラの内部に構成されていることを特徴とする、請求項 1 から請求項 3 のいずれか一項に記載の電子内視鏡装置。

【請求項 5】

正常動作時にパルス信号を出力するコントローラと、
前記コントローラの起動完了を検知する起動完了検知手段と、
前記パルス信号に基づき前記コントローラの異常を検出して異常検知信号を出力する異常検出手段と、
前記異常検知信号を受信した場合に、前記起動完了検知手段の検知結果に基づき、前記コントローラの起動が完了している場合はリセット信号を出力するリセット信号生成手段とを備えたことを特徴とする電子内視鏡装置。

【請求項 6】

前記リセット信号生成手段が、前記コントローラの起動状況を監視する起動監視手段を有し、前記起動監視手段の監視結果に基づき、前記コントローラが起動中に異常を発生した場合は前記リセット信号を出力することを特徴とする、請求項 5 に記載の電子内視鏡装置。

【請求項 7】

前記コントローラが、FPGA または CPLD の内部に CPU を搭載して構成されることを特徴とする、請求項 1 から請求項 6 のいずれか一項に記載の電子内視鏡装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、コントローラの異常を検出してリセット動作を実行させる異常監視手段を有する電子内視鏡装置に関する。

【背景技術】**【0002】**

近年、体腔内臓器等を観察したり、必要に応じて処置具チャンネル内に挿通した処置具を用いたりして各種治療処置のできる内視鏡装置が広く利用されている。また、工業用の分野においても、ボイラ、タービン、エンジン、化学プラント等の細径管内部の傷や腐食等の観察、検査に工業用内視鏡が広く用いられている。

【0003】

内視鏡装置は、照明光を照射する光源装置と、体腔内や細径管内に挿入する挿入部と、挿入部を湾曲操作する操作部とから主に構成されている。操作部から挿入部にかけては、挿入部先端に照明光を伝達するライトガイドファイバ束などの照明光伝送手段や、照明光が照射されることで得られる被写体からの光を伝達するイメージガイドなどの観察光伝送手段が敷設されている。また、操作部には、イメージガイドなどを介して伝達された被写体からの光を肉眼で観察するための接眼部と、ライトガイドなどに所定の照明光を入射させるための光源装置との接続部などが設けられている。

【 0 0 0 4 】

また、挿入部の先端や操作部のイメージガイド端に固体撮像素子、例えばＣＣＤを配設し、ライトガイドから出射された照明光による観察部位からの光を、対物光学系で撮像面に結像させて電気信号に変換し、この電気信号を信号処理することで、モニタ等に観察部位の電子画像を表示させることのできる電子内視鏡装置も開発・実用化されている（例えば、特許文献１参照）。

10

【 0 0 0 5 】

このような電子内視鏡装置においては、予め入力された各種設定値、あるいは外部からの操作指示に応じて装置の各部位を制御するためのコントローラが設けられている。コントローラをＣＰＵ（中央演算処理装置）、ＦＰＧＡ（Field Programmable Gate Array）、ＣＰＬＤ（Complex Programmable Logic Device）などで構成する場合、これらの暴走を検知する暴走検知手段と、暴走したコントローラ動作することにより制御している機器にダメージを与えることを防ぐために、コントローラが暴走していることを検知した場合にコントローラをリセットして動作を初期化するリセット手段とを有する異常監視手段を設けることが一般的である。

20

【 0 0 0 6 】

異常監視手段としては、ウォッチドックタイマが広く知られており、一般的に使用されている。ウォッチドックタイマは、監視対象のコントローラと直接接続され、コントローラが正常に動作しているかどうかを監視するために、コントローラが出力ポートを制御してソフト的に作るタイマをクリアするための所定周期のパルス信号を監視することにより、コントローラが異常な動作状態になってパルス信号を出力できなくなり、一定期間パルスが発生しなくなった場合にコントローラに対してリセット信号を出力する。タイマがクリアされてからリセットを出力するまでのタイムアウト期間は、個々のウォッチドックタイマで固有の値を有しており、コントローラの仕様に適したウォッチドックタイマを選択して使用する必要がある。

30

【特許文献１】特開２００５－１０３３２５号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

内部にＣＰＵを設けたＦＰＧＡやＣＰＬＤで電子内視鏡のコントローラを構成している場合、装置の電源投入時において、コンフィグレーションが完了するまでソフトウェアのイニシャライズが開始されない。このため、ＣＰＵの起動に時間がかかってしまう。ＣＰＵの起動時間よりもタイムアウト期間が短いウォッチドックタイマを選択した場合、ＣＰＵの起動中はタイマをクリアするための所定周期のパルス信号が出力されないため、ＣＰＵの起動中にリセットが出力されてしまい、電源投入時に装置が再起動を繰り返してしまうという問題があった。

40

【 0 0 0 8 】

この問題を回避するためには、ＣＰＵの起動時間よりもタイムアウト期間が長いウォッチドックタイマを用いる必要がある。この場合、上述したＣＰＵ起動時に再起動が繰り返されることは防げるが、診察したりや観察したりしている最中にＣＰＵが暴走した場合は、リセットを開始するタイミングも遅くなってしまう。例えば、挿入部が体腔内に挿入されている状態でＣＰＵが暴走した場合、装置が誤動作を起こして体腔内が傷つく可能性があるため、電子内視鏡をはじめとする医療用装置では、タイムアウト期間が長いウォ

50

ッチドックタイマを用いることは安全上の問題から難しいという問題があった。

【 0 0 0 9 】

そこで、本発明においては、ＣＰＵの起動時間よりタイムアウト期間が短いウォッチドックタイマを用いても、ＣＰＵが再起動を繰り返すことを防止することができる、電子内視鏡装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の電子内視鏡装置は、正常動作時に第１のパルス信号を出力するコントローラと、第２のパルス信号を生成するダミーパルス生成手段と、コントローラの起動完了を検知する起動完了検知手段と、起動完了検知手段の検知結果に基づき、第１のパルス信号または第２のパルス信号のどちらか一方を異常監視信号として出力する異常監視信号生成手段と、異常監視信号に基づきコントローラの異常を検出してリセット信号を出力する異常検出手段とを備えている。

10

【発明の効果】

【 0 0 1 1 】

ＣＰＵの起動時間よりタイムアウト期間が短いウォッチドックタイマを用いても、ＣＰＵが再起動を繰り返すことを防止することができる、電子内視鏡装置を実現することができる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

20

以下、図面を参照して本発明の実施の形態を説明する。

【 0 0 1 3 】

(第１の実施の形態)

まず、図１に基づき、本発明の第１の実施の形態に係わる電子内視鏡装置のコントローラに関する異常監視手段の全体構成について説明する。図１は、本発明の第１の実施の形態に係わる電子内視鏡装置のコントローラに関する異常監視手段の構成を説明するブロック図である。

【 0 0 1 4 】

図１に示すように、本発明の第１の実施の形態における電子内視鏡装置のコントローラに関する異常監視手段は、監視対象となるコントローラであるＦＰＧＡ１と、ＦＰＧＡ１の異常を検知してリセット動作をさせる、異常検出手段としてのウォッチドックタイマＩＣ２と、クロック信号ＣＬＫを生成してＦＰＧＡ１へ出力するクロック３とから構成されている。

30

【 0 0 1 5 】

ＦＰＧＡ１は、ＣＰＵ１１と、電子内視鏡装置のメモリやフロントパネルといった各部位を制御するその他制御部１２と、クロック３で生成されるクロック信号を基にウォッチドックタイマクリア信号ＷＤＣＫ＿ＨＷを生成する、ダミーパルス生成手段としてのウォッチドッククリア信号生成部１３と、ウォッチドックタイマＩＣ２を制御する、起動完了検知手段及び異常監視信号生成手段としてのウォッチドック制御部１４とから構成されている。なお、クロック３で生成されたクロック信号ＣＬＫは、ＣＰＵ１１と、その他制御部１２と、ウォッチドッククリア信号生成部１３に出力されている。ＦＰＧＡ１は、コンフィギュレーションが完了するまで、特定のピン以外はハイインピーダンス（Ｈｉ－Ｚ）状態、すなわち、他の部位と電氣的に接続されていない状態になされている。

40

【 0 0 1 6 】

ＣＰＵ１１では、ウォッチドック制御部１４に対し、ＣＰＵ１１が出力するソフトのイニシャライズが完了したか否かを示すイニシャライズ完了通知信号ＳＥＬが出力される。本実施の形態においては、ソフトのイニシャライズが実行中である場合、イニシャライズ完了通知信号ＳＥＬとしてＬＯＷが出力され、イニシャライズが完了した場合、イニシャライズ完了通知信号ＳＥＬとしてＨＩＧＨが出力される。また、ＣＰＵ１１からウォッチドック制御部１４に対し、ウォッチドックタイマクリア信号ＷＤＣＫも出力されている。

50

ウォッチドックタイマクリア信号WDCKは一定周期のパルス信号であり、ソフトのイニシャライズが実行中は出力されず、イニシャライズが完了した後に出力される。

【0017】

ウォッチドッククリア信号生成部13では、クロック3から受信したクロック信号CLKを用い、設計者により予め設定された任意の周波数のウォッチドッククリアタイマ信号WDCK__HWが生成され、ウォッチドック制御部14へ出力される。

【0018】

ウォッチドック制御部14では、CPU11とウォッチドッククリア信号生成部13とから受信する信号を基に、ウォッチドックタイマクリア信号WD__CLRが生成され、ウォッチドックタイマIC2へ出力される。すなわち、CPU11から受信したイニシャライズ完了通知信号SELがLOWの場合、ウォッチドッククリア信号生成部13から受信したウォッチドッククリアタイマ信号WDCK__HWがウォッチドックタイマクリア信号WD__CLRとして出力され、イニシャライズ完了通知信号SELがHIGHの場合、CPU11から受信したウォッチドックタイマクリア信号WDCKがウォッチドックタイマクリア信号WD__CLRとして出力される。

10

【0019】

ただし、ウォッチドック制御部14には、ウォッチドッククリア信号生成部13から受信したウォッチドッククリアタイマ信号WDCK__HWを、ウォッチドックタイマクリア信号WD__CLRとして出力した回数（パルスの個数）をカウントする図示しないカウンタが設けられている。このカウンタのカウント値Kが、あらかじめ登録されているパルス数の最大値Nに達した場合、ウォッチドックタイマクリア信号WD__CLRが出力されないように構成されている。このように構成することで、CPU11が起動中に異常をきたしてイニシャライズが完了しない場合に、ウォッチドックタイマIC2に対するウォッチドックタイマクリア信号WD__CLRの出力を停止することができ、ウォッチドックタイマIC2からCPU11にリセット信号WD__RST__Nを出力させ、CPU11の暴走を停止させることができる。

20

【0020】

ウォッチドックタイマIC2では、タイマがクリアされてから一定期間内にウォッチドック制御部14からウォッチドックタイマクリア信号WD__CLRが入力されない場合、リセット信号WD__RST__Nが生成されてCPU11へ出力される。上記のタイマがクリアされてからリセット信号WD__RST__Nが出力されるまでの一定期間はタイムアウト期間と呼ばれ、ウォッチドックタイマIC2によって予め決められた値を有する。

30

【0021】

なお、FPGA1がコンフィグレーションを実行している間は、ウォッチドックタイマIC2にはウォッチドック制御部14からウォッチドックタイマクリア信号WD__CLRが入力されない。従って、タイムアウト期間よりもFPGA1がコンフィグレーションを実行する時間のほうが長い場合、ウォッチドックタイマIC2からリセット信号WD__RST__Nが出力され、リセットがかかってしまう可能性がある。しかし、本実施の形態においては、CPU11がFPGA1の内部に構成されており、FPGA1は特定のピン以外はハイインピーダンス状態であるため、タイムアウト期間よりもFPGA1がコンフィグレーションを実行する時間のほうが長い場合でも、リセットを回避することができる。

40

【0022】

次に、上述のように構成された電子内視鏡装置の異常監視動作について、図2及び図3のタイミングチャートを用いて説明する。図2は、CPU11が正常に起動した場合における異常監視動作を説明するタイミングチャートであり、図3は、CPU11が起動中に異常を起こした場合における異常監視動作を説明するタイミングチャートである。

【0023】

まず、図2のタイミングチャートを用い、CPU11が正常に起動した場合の異常監視動作について説明する。まず、電子内視鏡装置の電源が投入されると、FPGA1がコンフィグレーションを実行する。コンフィグレーション実行中は、ウォッチドック制御部14

50

からウォッチドックタイマIC 2へウォッチドックタイマクリア信号WD__CLRが入力されない。しかし、上述のように、FPGA 1は特定のピン以外はハイインピーダンス状態であるため、タイムアウト期間よりもFPGA 1がコンフィグレーションを実行する時間のほうが長い場合でも、FPGA 1の内部に構成されたCPU 11に対してリセット信号WD__RST__Nは入力されない。

【0024】

FPGA 1のコンフィグレーションが完了すると、CPU 11のイニシャライズが実行される。従って、CPU 11からウォッチドック制御部14へ、LOWのイニシャライズ完了通知信号SELが出力される。また、ウォッチドッククリア信号生成部13では、クロック3から受信するクロック信号CLKをもとに、任意の周期のパルス信号であるウォッチドッククリアタイマ信号WDCK__HWが生成され、ウォッチドック制御部14へ出力される。

10

【0025】

ウォッチドック制御部14では、ウォッチドッククリア信号生成部13から受信したウォッチドッククリアタイマ信号WDCK__HWが、ウォッチドックタイマクリア信号WD__CLRとしてウォッチドックタイマIC 2へ出力される。なお、ウォッチドック制御部14では、ウォッチドッククリアタイマ信号WDCK__HWをウォッチドックタイマクリア信号WD__CLRとして出力した回数（出力したパルスの個数）が、図示しないカウンタによってカウントされている。

【0026】

ウォッチドック制御部14には、CPU 11が正常にイニシャライズを完了させるまでの期間にウォッチドッククリアタイマ信号WD__CLRとしてウォッチドックタイマIC 2へ出力される、ウォッチドッククリアタイマ信号WDCK__HWのパルス個数の最大値が、各種設計情報を基にして算出されており、最大値Nとして設定されている。すなわち、ウォッチドッククリアタイマ信号WDCK__HWの周期に、パルス数の最大値Nを乗じて得られた時間が、CPU 11が正常にイニシャライズを完了させるまでの時間（設計から見積もられた時間）と等価になるように、最大値Nが設定されている。

20

【0027】

図2においては、ウォッチドック制御部14におけるカウンタでのカウント値Kが最大値Nに達する前に、CPU 11は正常にイニシャライズを完了させている。CPU 11でのイニシャライズが完了すると、CPU 11からウォッチドック制御部14へ出力されているイニシャライズ完了通知信号SELが、LOWからHIGHに切り替わる。また、CPU 11でのイニシャライズが完了すると、CPU 11からウォッチドック制御部14へ、一定周期のパルス信号であるウォッチドックタイマクリア信号WDCKが出力される。

30

【0028】

ウォッチドック制御部14では、HIGHのイニシャライズ完了通知信号SELを受信すると、ウォッチドックタイマIC 2へ出力するウォッチドッククリアタイマ信号WD__CLRを、ウォッチドッククリア信号生成部13から受信するウォッチドッククリアタイマ信号WDCK__HWから、CPU 11から受信するウォッチドックタイマクリア信号WDCKに切り替える。以降、CPU 11が通常動作を行っている状態において、ウォッチドックタイマIC 2はウォッチドック制御部14からウォッチドッククリアタイマ信号WD__CLRを受信し、CPU 11の異常有無の監視を継続する。

40

【0029】

次に、図3のタイミングチャートを用い、CPU 11の起動中に異常が発生し、イニシャライズが完了しない場合の異常監視動作について説明する。電子内視鏡装置の電源が投入されてからCPU 11のイニシャライズが開始されるまでの動作は、図2を用いて説明した正常動作時と同様であるので、ここでは、CPU 11のイニシャライズが実行中の動作についてのみ説明する。

【0030】

CPU 11のイニシャライズが実行中は、CPU 11からウォッチドック制御部14へ

50

、LOWのイニシャライズ完了通知信号SELが出力される。また、ウォッチドック制御部14では、ウォッチドッククリア信号生成部13から受信したウォッチドッククリアタイマ信号WDCK__HWが、ウォッチドックタイマクリア信号WD__CLRとしてウォッチドックタイマIC2へ出力されるとともに、ウォッチドッククリアタイマ信号WDCK__HWをウォッチドックタイマクリア信号WD__CLRとして出力した回数（出力したパルスの個数）が図示しないカウンタにて、カウント値Kとしてカウントされる。

【0031】

図3においては、CPU11がイニシャライズを実行中に異常が発生し、イニシャライズが完了しないため、カウント値Kが設定されているパルス数の最大値Nに達しても、CPU11からウォッチドック制御部14へLOWのイニシャライズ完了通知信号SELが出力されている。カウント値Kが最大値Nに達すると、ウォッチドック制御部14からウォッチドックタイマIC2に対し、ウォッチドックタイマクリア信号WD__CLRの出力が停止される。ウォッチドックタイマIC2では、ウォッチドック制御部14からウォッチドックタイマクリア信号WD__CLRの最後のパルスを受信してから、設定されているタイムアウト期間が経過しても次のパルスが受信されないため、CPU11に異常が発生したことが検出される。これにより、タイムアウト期間が経過後、ウォッチドックタイマIC2からCPU11に対し、リセット信号WD__RST__Nが出力される。

【0032】

このように、本実施の形態の電子内視鏡装置では、CPU11がイニシャライズ実行中は、ウォッチドッククリア信号生成部13が生成する任意の周期のパルス信号であるウォッチドッククリアタイマ信号WDCK__HWを、ウォッチドックタイマクリア信号WD__CLRとしてウォッチドックタイマIC2に出力することで、CPU11の起動時間よりタイムアウト期間が短いウォッチドックタイマIC2を用いても、イニシャライズ中にCPU11が再起動を繰り返すことを防止することができる。

【0033】

また、タイムアウト期間が短いウォッチドックタイマIC2を用いることで、通常の使用状態においてCPU11が異常が発生して暴走した場合に、迅速にCPU11にリセットをかけて復旧することが可能となる。

【0034】

また、CPU11のイニシャライズ実行時間に相当する、ウォッチドッククリアタイマ信号WDCK__HWをウォッチドックタイマクリア信号WD__CLRとして出力した回数（出力パルス回数）を、ウォッチドック制御部14がカウントすることで、設計上のイニシャライズ実行時間内にCPU11のイニシャライズが完了したか否かを検出することができる。CPU11がイニシャライズ実行中に異常が発生して暴走し、イニシャライズが完了しないような状態に陥った場合には、ウォッチドック制御部14からウォッチドックタイマIC2へのウォッチドックタイマクリア信号WD__CLRの出力を停止することで、CPU11にリセットをかけて復旧することが可能となる。

【0035】

更に、FPGA1のコンフィグレーション実行中は、FPGA1は特定のピン以外のピンをハイインピーダンス状態にすることで、ウォッチドックタイマIC2のタイムアウト期間よりもFPGA1がコンフィグレーションを実行する時間のほうが長い場合でも、FPGA1のコンフィグレーション実行中にリセット動作が行われることを回避することができる。

【0036】

（第2の実施の形態）

次に、本発明の第2の実施の形態を図4を用いて説明する。図4は、本発明の第2の実施の形態に係わる電子内視鏡装置のコントローラに関する異常監視手段の構成を説明するブロック図である。上述した第1の実施の形態では、CPU11がイニシャライズを実行中には、ウォッチドッククリア信号生成部13が生成する任意の周期のパルス信号であるウォッチドッククリアタイマ信号WDCK__HWをウォッチドックタイマIC2に出力す

10

20

30

40

50

ることで、ウォッチドックタイマIC 2 からリセット信号WD__RST__Nが出力されないようにし、イニシャライズ実行中にCPU 1 1のリセット動作が行われることを回避する。これに対し、本実施の形態では、CPU 3 1がイニシャライズを実行中には、ウォッチドックタイマIC 2 から出力されるリセット信号WD__RST__Nを無効とすることで、イニシャライズ実行中にCPU 3 1のリセット動作が行われることを回避する。

【0037】

電子内視鏡装置のコントローラに関する異常監視手段は、監視対象のコントローラであるFPGA 2 1の内部構成が異なる点を除き、第1の実施の形態と同一であるため、ここでは、FPGA 2 1の内部構成についてのみ説明し、同じ構成要素については同じ符号を付して説明は省略する。また、各構成要素から出力される各種信号についても、同じ信号

10

【0038】

図4に示すように、FPGA 2 1は、CPU 3 1と、電子内視鏡装置のメモリやフロントパネルといった各部位を制御するその他制御部1 2と、CPU 3 1にリセット動作を実行させるか否かを判断し、CPU 3 1に対してリセット信号RESETを出力する、リセット信号生成手段としてのウォッチドックリセット制御部3 3とから構成されている。なお、イニシャライズ完了通知信号SELとウォッチドックタイマクリア信号WDCKとは、CPU 3 1からウォッチドックリセット制御部3 3とウォッチドックタイマIC 2 とにそれぞれ出力される。

【0039】

ウォッチドックリセット制御部3 3では、ウォッチドックタイマIC 2 から出力されるリセット信号WD__RST__Nと、CPU 3 1から出力されるイニシャライズ完了通知信号SELとに基づき、リセット信号RESETがCPU 3 1へ出力される。すなわち、HIGHのイニシャライズ完了通知信号SELを受信しており、かつ、リセット信号WD__RST__Nも受信した場合は、CPU 3 1に対してリセット信号RESETが出力される。また、LOWのイニシャライズ完了通知信号SELを受信している場合でも、リセット信号WD__RST__Nを特定回数N'以上受信すると、CPU 3 1に対してリセット信号RESETが出力される。ここで、特定回数N'は、リセット信号WD__RST__Nの周期に、パルス数の特定回数N'を乗じて得られた時間が、CPU 3 1が正常にイニシャライズを完了させるまでの時間(設計から見積もられた時間)と等価になるように設定され

20

30

【0040】

このように構成することで、CPU 3 1がイニシャライズ実行中においては、CPU 3 1からウォッチドックタイマクリア信号WDCKが出力されないため、ウォッチドックタイマIC 2 からリセット信号WD__RST__Nが出力されるが、ウォッチドックリセット制御部3 3によって、リセット動作が行われることを回避することができる。なお、ウォッチドックリセット制御部3 3はCPU 3 1がイニシャライズを実行する時間を監視しており、CPU 1 1がイニシャライズ実行中に異常を発生して暴走し、イニシャライズが完了しないような状態に陥った場合には、ウォッチドックタイマIC 2 から出力されるリセット信号WD__RST__Nを、リセット信号RESETとしてウォッチドックリセット制

40

【0041】

(第3の実施の形態)

次に、本発明の第3の実施の形態を図5を用いて説明する。図5は、本発明の第3の実施の形態に係わる電子内視鏡装置のコントローラに関する異常監視手段の構成を説明するブロック図である。上述した第1の実施の形態では、ウォッチドックタイマIC 2をFPGA 1の外部に配置しているが、本実施の形態では、ウォッチドックタイマ部4 2をFPGA 4 1の内部に配置している点が相違している。ウォッチドックタイマ部4 2は、ウォッチドックタイマIC 2と同様、設定されているタイムアウト期間内に、ウォッチドック

50

制御部 14 からウォッチドックタイマクリア信号 WD_CLR が入力されない場合、CPU 11 に対してリセット信号 WD_RST_N を出力し、リセット動作を実行させる。その他の構成要素や各構成要素から出力される各種信号は、第 1 の実施の形態と同一である。

【0042】

ウォッチドックタイマ部 42 を FPG A 41 の内部に配置することで、ウォッチドックタイマ部 42 のタイムアウト期間を任意に設定することができ、設計の自由度が向上する。また、FPG A 41 のコンフィグレーションが完了するまでは、ウォッチドックタイマ部 42 も動作しないため、コンフィグレーション中にリセット信号 WD_RST_N が出力されることがなく、リセット動作を確実に回避することができる。

10

【0043】

(第 4 の実施の形態)

次に、本発明の第 4 の実施の形態を図 6 を用いて説明する。図 6 は、本発明の第 4 の実施の形態に係わる電子内視鏡装置のコントローラに関する異常監視手段の構成を説明するブロック図である。上述した第 1 の実施の形態では、ウォッチドッククリア信号生成部 13 とウォッチドック制御部 14 とを FPG A 1 の内部に配置しているが、本実施の形態では、これらを FPG A 51 の外部に配置している点が相違している。

【0044】

本実施の形態においては、図 6 に示すように、例えば FPG A 51 の外部に CPL D 52 を設け、CPL D 52 の内部にウォッチドッククリア信号生成部 13 とウォッチドック制御部 14 とを配置している。CPL D 52 は、FPG A 51 よりもコンフィグレーションを早く完了するようになされている。CPL D 52 よりも FPG A 51 のほうがコンフィグレーションを早く完了する場合、FPG A 51 がコンフィグレーションを完了してからウォッチドックタイマ IC 2 に対してウォッチドックタイマクリア信号 WD_CLR が出力されるまでの間にタイムラグが生じてしまい、リセット動作が行われてしまう可能性が生じるが、このようにすることによって、不要なリセット動作を回避することができる。その他の構成要素や各構成要素から出力される各種信号は、第 1 の実施の形態と同一である。

20

【0045】

このように構成することで、第 1 の実施の形態と同様の効果が得られ、更に設計の自由度が向上する。

30

【0046】

なお、第 4 の実施の形態の変形例として、ウォッチドックタイマ IC 2 の代わりに、CPL D 52 の内部にウォッチドックタイマ部を配置してもよい。このように構成することで、CPL D 52 のコンフィグレーションが完了するまではウォッチドックタイマ部が動作しないため、CPL D 52 よりも FPG A 51 がコンフィグレーションを早く完了した場合にも、不要なリセット動作を回避することができる。

【0047】

以上の実施の形態から、次の付記項に記載の点に特徴がある。

【0048】

(付記項 1) コントローラの暴走を検知する暴走検知手段と、前記暴走検知手段による検知結果に応じてリセットをかけるリセット手段と、前記コントローラの起動完了を検知する起動完了検知手段と、前記コントローラが起動未完了の場合に前記リセット手段によるリセットを回避するリセット回避手段と、前記リセット回避手段により回避した結果に基づいてリセットを設定するリセット設定手段とを具備したことを特徴とする、電子内視鏡装置。

40

【0049】

(付記項 2) 前記コントローラは、FPG A や CPL D の内部に CPU を具備して構成されていることを特徴とする、付記項 1 に記載の電子内視鏡装置。

【0050】

50

(付記項 3) 前記起動完了手段は、前記コントローラのハードのコンフィグレーションが完了したことを検知するコンフィグレーション完了検知手段と、ソフトのイニシャライズが完了したことを検知するイニシャライズ完了検知手段とを具備することを特徴とする、付記項 2 に記載の電子内視鏡装置。

【0051】

(付記項 4) 前記リセット回避手段は、前記コントローラが起動未完了の場合に、前記リセット手段がリセットを出力しないことを特徴とする、付記項 2 に記載の電子内視鏡装置。

【0052】

(付記項 5) 前記リセット回避手段は、前記コントローラが起動未完了の場合に、前記リセット手段によるリセットを無効とすることを特徴とする、付記項 2 に記載の電子内視鏡装置。

10

【0053】

(付記項 6) 前記リセット設定手段は、前記リセット回避手段によりリセットを回避した回数をカウントするカウント手段と、前記カウント手段による結果に基づいてリセットをかける手段とを具備することを特徴とする、付記項 2 に記載の電子内視鏡装置。

【0054】

(付記項 7) 前記暴走検知手段と前記リセット手段との少なくともどちらか一方が、前記コントローラの内部に配置されていることを特徴とする、付記項 2 に記載の電子内視鏡装置。

20

【0055】

(付記項 8) 前記暴走検知手段と前記リセット手段との少なくともどちらか一方が、前記コントローラの外部に配置されていることを特徴とする、付記項 2 に記載の電子内視鏡装置。

【0056】

(付記項 9) 前記リセット回避手段と前記リセット設定手段との少なくともどちらか一方が、前記コントローラの内部に配置されていることを特徴とする、付記項 2 に記載の電子内視鏡装置。

【0057】

(付記項 10) 前記リセット回避手段と前記リセット設定手段との少なくともどちらか一方が、前記コントローラの外部に配置されていることを特徴とする、付記項 2 に記載の電子内視鏡装置。

30

【図面の簡単な説明】

【0058】

【図 1】本発明の第 1 の実施の形態に係わる電子内視鏡装置のコントローラに関する異常監視手段の構成を説明するブロック図である。

【図 2】CPU 11 が正常に起動した場合における異常監視動作を説明するタイミングチャートである。

【図 3】CPU 11 が起動中に異常を起こした場合における異常監視動作を説明するタイミングチャートである。

40

【図 4】本発明の第 2 の実施の形態に係わる電子内視鏡装置のコントローラに関する異常監視手段の構成を説明するブロック図である。

【図 5】本発明の第 3 の実施の形態に係わる電子内視鏡装置のコントローラに関する異常監視手段の構成を説明するブロック図である。

【図 6】本発明の第 4 の実施の形態に係わる電子内視鏡装置のコントローラに関する異常監視手段の構成を説明するブロック図である。

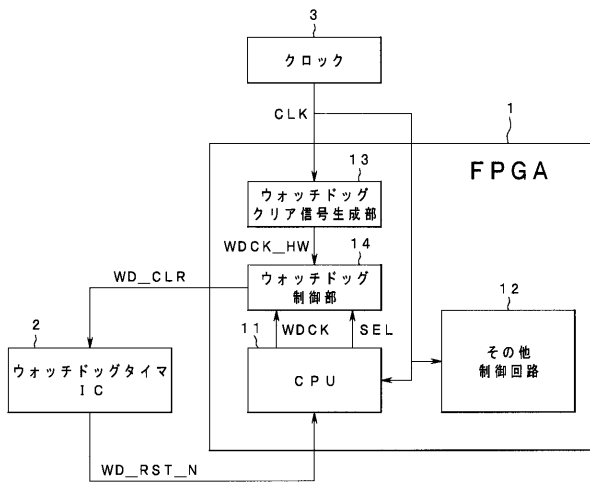
【符号の説明】

【0059】

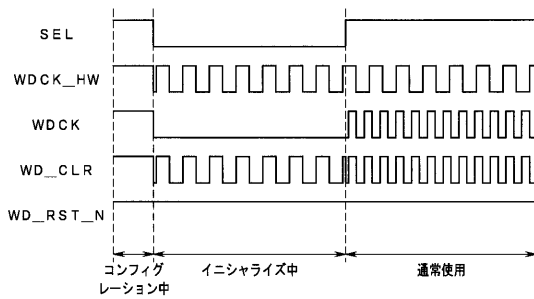
1 ... FPG A、2 ... ウォッチドックタイマ IC、3 ... クロック、11 ... CPU、12 ... その他制御部、13 ... ウォッチドッククリア信号生成部、14 ... ウォッチドック制御部、

50

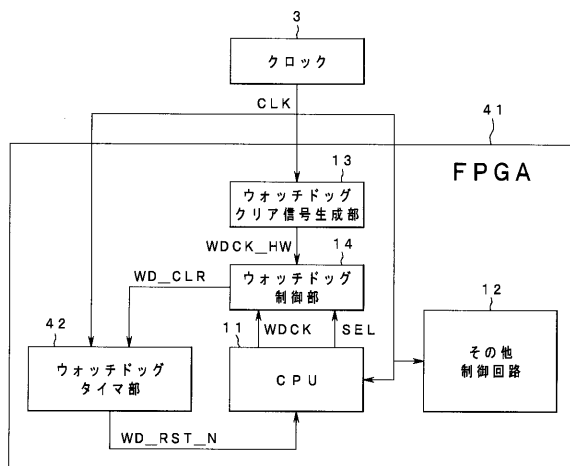
【図 1】



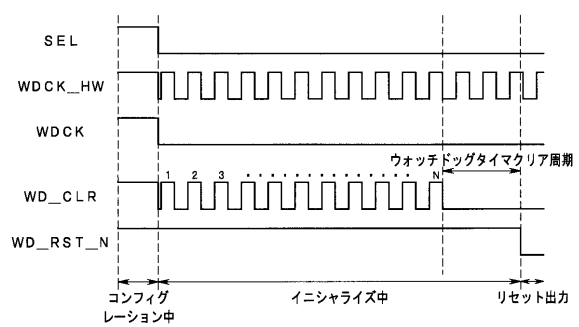
【図 2】



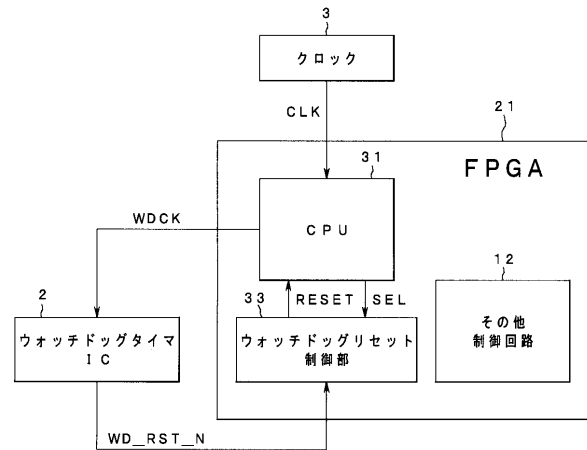
【図 5】



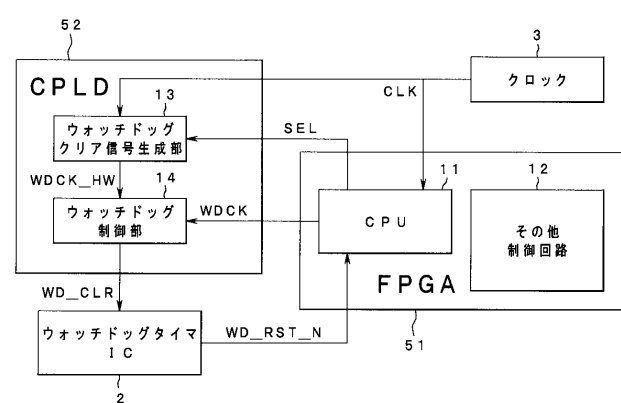
【図 3】



【図 4】



【図 6】



フロントページの続き

(72)発明者 島田 篤

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパスメディカルシステムズ株式会社内

F ターム(参考) 2H040 DA41 DA51 FA13

4C061 CC06 JJ11 LL02

专利名称(译)	电子内视镜装置		
公开(公告)号	JP2007000206A	公开(公告)日	2007-01-11
申请号	JP2005181153	申请日	2005-06-21
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	オリンパスメディカルシステムズ株式会社		
[标]发明人	矢部雄亮 高橋智也 橋本進 島田篤		
发明人	矢部 雄亮 高橋 智也 橋本 進 島田 篤		
IPC分类号	A61B1/04 A61B1/00 G02B23/24		
FI分类号	A61B1/04.372 A61B1/00.300.A G02B23/24.A A61B1/00.710 A61B1/05		
F-TERM分类号	2H040/DA41 2H040/DA51 2H040/FA13 4C061/CC06 4C061/JJ11 4C061/LL02 4C161/CC06 4C161/JJ11 4C161/LL02		
代理人(译)	伊藤 进		
其他公开文献	JP3993618B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种电子内窥镜装置，即使使用超过CPU开始时间的超时持续时间的手表定时器，也可以防止CPU重复重启。解决方案：电子内窥镜设备包括：CPU 11，当正常操作时输出第一脉冲信号；表座清除信号产生部分13产生第二脉冲信号；表盘控制部分14，输出第一脉冲信号或第二脉冲信号作为来自CPU11的激活完成的检测结果的异常观察信号，以及在从异常观察信号检测到CPU11的异常之后输出重置信号的表座定时器IC2。

